(54) INPUT/OUTPUT DEVICE FOR FORWARD FORMATION FILE

(11) 1-188960 (A) (43) 28.7.1989 (19) JP

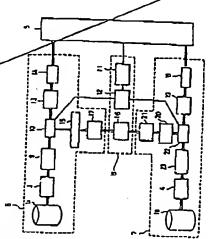
(21) Appl. No. 63-12366 (22) 22.1.1988

(71) OKI ELECTRIC IND CO LTD (72) KAZUAKI NAKASHIRO

(51) Int. Cl4. G06F12/00.G06F3/06

PURPOSE: To facilitate the change of the data items by delivering only the data required by a program with no handling of the undesired data via the data stored in a forward formation file and forming again the forward formation file with use of both desired and undesired data.

CONSTITUTION: The record received from an input file device 1A is supplied to an input record storing part 9 and the data items of the record are divided into the desired and undesired ones by a separating part 10. The desired items are given to an input item part 13 and edited by an editing part 14 into a record form of a program processor 5 for input. While the undesired data items are sent to a storing memory 16 from an undesired item storing part 15. The data items used at the part 5 are edited into a file form via a re-editing part and synthesized with the undesired data items stored in the memory 16. These synthetic items are written into an output file device 1B.



3: input buffer memory. 6: output buffer memory. 6: proce-formation input device, 7: order formation file output device, 6: shared device, 11: data item instructing part, 17: storing control part, 16: re-editing part, 19: output item storing part, 20: undesired item restoring part, 21: extraction control part, 23: output record storing part.

(54) PROGRAM EXECUTING SYSTEM

(11) 1-188961 (A) (43) 28.7.1989 (19) JP

(21) Appl. No. 63-13213 (22) 22.1.1988

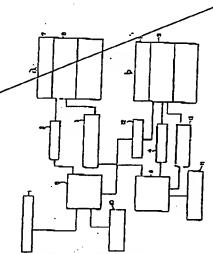
(71) NEC CORP (72) MASAMI SHIRAISHI

(51) Int. Cl\*. G06F12/00,G06F7/22,G06F9/06

PURPOSE: To reduce the user load by using a means which deletes, changes

and reproduces automatically a record defining information table.

CONSTITUTION: The record defining information or the field defining information stored in a directory memory means 5 is changed by a directory memory changing means 10 and different from the contents of a record defining information table stored in a library memory means 6. Under such conditions, the record defining information table is produced again based on the changed record defining information and field defining information and stored again in the means 6. As a result, a user trying to execute a program by means of the means 6 can actuate the program automatically and in a normal way without deleting the record defining information table corresponding to said program.



1: record definition information storing means. 2: 1st evolving means. 3: record definition information table library agring means. 4: 2nd evolving means. 7: memory. 6.9: record definition information table. 11: record definition information table library deletion means. 12: 3rd evolving means. 13: record definition information table library restoring means. 3: 1st program storing area. b: 2nd program storing area.

(54) ELECTRONIC EQUIPMENT

(11) 1-188962 (A) (43) 28.7.1989 (19) JP

(21) Appl. No. 63-12902 (22) 22.1.1988

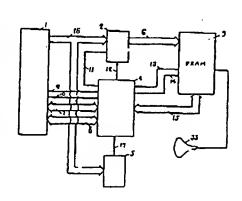
(71) MATSUSHITA ELECTRIC IND CO LTD (72) HIROSHI MATSUKUMA

(51) Int. Cl<sup>4</sup>. G06F12/00,G06F12/04

PURPOSE: To ensure the effective application of a memory area by using an address signal generating means which produces the address signals corresponding to plural memory areas of a memory means and applies them successively to the memory means.

CONSTITUTION: A DRAM 3 having the data of 4 bits in each memory area is divided into even and odd addresses. Then the DRAM 3 receives accesses twice with a single access of a system control circuit 1. Thus the 8-bit data is processed. An address switching circuit 2 produces both row and column addresses from those addresses received from the circuit 1 and delivers them with switching. A DRAM control circuit 4 controls the address signals applied to the DRAM 3 and the data signals received from the DRAM 3.

01000170



311511

⑩日本国特許庁(JP)

(5,9q2) ①特胜山颐公园

# ⑩公開特許公報(A) 平1-188962

@Int.Cl. 4 G 06 F

12/00 12/04 地別記号

广内监理番号

⑩公明 平成1年(1989)7月28日

3 0 3

H - 8841 - 5BA-8841-5B

審查請求 未請求 請求項の数 1 (全8頁)

❷発明の名称

電子機器

②狩 颐 昭63-12902

颐 昭63(1988)1月22日 **22**111

**@%** 叨 岩 松 LLS. 浩

大阪府門真市大字門真1006番地 松下電器產業株式会社內

**(1)** 颐 人

松下電器産業株式会社

大阪府門真市大字門真1006番地

**砂代** 肛 人

弁理士 中尾 做 男

外1名

明

発明の名称

电子模式

## 2 特許請求の範囲

アドレス信号により指定される記憶領域にm (mは自然数) ビットのデータを記憶し記憶した データをmピットごとに類次出力可能な記憶手段 と、前記記憶手段の順次出力したデータに応じた 表示を行う表示手段と、mxn(nはl以上の自 然数)ピットのデータ線を有する中央処理手段と、 府紀中央処理手段の出力したアドレス信号より前 記記位予段の n 何の記憶領域に対応する n 値のア ドレス信号を生成し周次前記記憶手段に印加する アドレス信号発生手段と、前記アドレス信号発生 手段の n 何のアドレス保身の印加に対応して耐記 記憶手段の出力した n 側のデークを結合しm×n ビットのデータとして前記中央処理手段に与える データ結合手段を備えたことを特徴とする電子機 25 .

発明の詳細な説明

#### 産業上の利用分野

本発明は、4ピット・グイナミック・ラングム アクセスメモリー(以下、DRAMと略称する。 )等の記憶形段を操作する電子機器に関するもの である。

#### 従来の技術

近年〜 コンピューターの出力機器である陰低線 昔(以下、CRTと略称する。) ディスプレイは、 コンピューターの発達とともに要求される解像度 が上がってきており、その駆動装置もまた容量の 大きなメモリーを持ち、高速で借買のできるもの が求められている。このため、中央処理技能(以 下、CPUと略称する。)とはパラレルにデータ。 のやりとりを行ない、CRTディスプレイにほむ 使したデータを一定量ごとにシリアルに出力する ことが可能なデュアルポートを有するDRAMが 使用されるようになってきている。

現在、このデュアルボートを介するDRAMは、 それぞれ8ピットの上位アドレス(以下、ロウァ ドレスと称する。)と下位アドレス(以下、カラ

ムアドレスと称する。)により肯定される記憶別 はにもピットのデークを記憶しているものが主故 である。一方、このデュアルボートのDRAMを アクセスするCPUは8ピットのものが多い。

▼(G)図は従来の電子機器の回路プロック図であ り、41、42、43、44は4ピットのデュア ルポートを有するDRAM、45はCPU、46 はCPU45に接続されたアドレスパス、47は CPU45に接続された8本の信号級からなるデ ータパス、48はCPU45かアドレスパス46 を介して出力したアドレスほりのうちのロウアド レスをデコードするロウデコーグ、49はCPU 45かアドレスパス46を介して出力したアドレ ス盾号のうちのカラムアドレスをデコードするカ ラムデコーグ、50はデーク出力パッファ、51、 5 2 は D R A M 4 1 ~ 4 4 のシルアルに出力した データを一旦 喜えるシリアルレジスク、53 は 故 致ラインからなる表示を行う CRTディスプレイ、 54はシリアルレジスタ51及び52の出力した シリアルテータに従いCRTディスプレイ53を

発明が解決しようとする課題

しかしながら上記従来の構成では、デユアルポ ートのDRAMの記憶部分が複数的になりDRA Mが有効に使用されない場合があるという問題点 を有していた。これはDRAMの記憶部分の列ま たは行がディスプレイの列または行の公倍数でな い場合に起こり例えばDRAM41~44がそれ ぞれ700列×300斤の記憶領域を持っており、 CRTディスプレイ53の解像度が640箇余× 400行であった場合、東7型に示すように DR A M 左4 個使用しているにもかかわらず、実際に |使用されている領域はその3分の1程度と非常に 無駄が多いというような場合である。この問題点 を解決するため、2餌のDRAMが出力したシリ アルデータを2ライン分のテータに分けることが 考えられるが、この場合データを分けるための事 段を付加する必要が生じ、電子機器が高値ならの になってしまうという問謂点を生じることになる。

課題を解決するための手段

本発明は、アドレスは牙により肯定される記憶

駅助するIC RTドライバである。

以上のように構成された木実施例の電子機器に ついて、以下その動作について説明する。

本実施例の電子機器では、CPU45は8ビットのデータのやりとりを行うのにもかかわらず、4ビットデータを記憶するDRAM41~44を用いているため、DRAM41及び42、DRAM43及び44はそれぞれ対として同時にアクセスされ、8ビットのデータの人出力が可能となっている。

また、DRAM41~44に記憶したデータを シリアルに出かする場合、CPU45かロウスデークを レスデークを出力すると、そのロウラドののうちの に対応するDRAM41~45のかに かしたいで自動に ではないでも のでではっているがいれたのかに がロウアドレスを更新したいいきのでは カアドレスを更新したいいたのでは カアドレスをするしていたがったが、 のでではったが、 のででいる。 のでではったが、 のでではったが、 のでではったが、 のでではったが、 のでではったが、 のでではったが、 のでではったが、 のでではったが、 のででいる。 のでではいる。 にはいる。 には、 にはいる。 にはいる。 にはいる。 にはいる。 にはいる。 にはいる。 にはいる。 にはいる。 にはいる。

領域に記述したデータを一定量ごとに順次出力可能な記憶手段と、中央処理手段の出力したアドレス信号より記憶手段の複数の信領域に対応する政のアドレス信号を生成し順次記憶手段の出力したるアドレス信号発生手段と、記憶手段の出力した複数のデータを結合したデータを中央処理手段を備えたものである。

作加

上記 構成により、記憶手段の領域を有効に使用することができる。

**实 雄 例** 

第1回は本発明の一実放例における電子機器の 回路プロック回であり、1は16本のアドレスは と8本のデータなを持つCPU(図では省略システム制御回路、2はシステム制御回路、2はウァドレスからロウアドレスを生成したカラムアドレスで構定される各記に配けて とカラムアドレスで構定される各記に配け イビットのデータを記憶したデュアルポートのD R A M、4 は D R A M 3 に印加するアドレスほりや D A R M 3 の川力したデータ信号の制御を行なう D R A M 制加旬路、 5 はアドレス信号をデコードし、チップセレクト信号を出力するアドレスデコーグ、 6 はアドレス球路である。

7、8はそれぞれ8本の信号線よりなるデータパス、9、10はシステム制御回路1の出力する 読み出し信号及び書き込み信号がそれぞれ現れる 読み出し信号線と書き込み信号線であり、システム制御回路1とDRAM制御回路4の間はデータパス7、8及び読み出し情号線路9、書き込み信号線路10で接続されている。

1 1 は信号級よりなるDRAMアドレス信号級 数、1 2 はDRAM3のロウアドレスとカラムア ドレスを切り替える信号が現れるロウアドレスカ ラムアドレス切替え信号録路、1 3 はロウアドレ スに対するアドレスが出力される時に出力される ロウアドレスストローブ(以下、RASと略称す る。)信号級路、1 4 はカラムアドレスに対する アドレスが出力される時に出力されるカラムアド

料如回路4の回路プロック図であり、18はDR AM3に書き込むデークのうちの上位4ビットを コントロールする上位4ピット書き込みパッファ 回路、19はDRAM3に書き込むデータのうち の下位4ピットをコントロールする下位4ピット 書き込みパッファ回路、20はDRAM3より続 み出したテータのうちの上位4ピットをコントロ ールする上位4ピット読み出しパッファ回路、 2 1はDRAM3より読み出したデータのうちのよ 位4ピットをコントロールする下位4ピット読み 出しパッファ回路、22はDRAM3より上位4 ビットのデータが良み出されるまで下位4ビット のテータをコントロールする下位4ピット読み出 しラッチ回符、23はロウアドレスとカラムアド レスの切り換えのタイミングを制御するタイミン グ回路、24はカラムアドレスの1ピットを生成 するDRAMアドレス生成閲覧、25は上位4ビ ット書き込みパッファ回路18、下位4ピット書 き込みパッファ目路19、上位4ビット読み出し パッファ目的20、下位4ピット読み出しパップ

レスストローブ(以下、CASと略称する。)信 手練路、15は4本の信手線よりなるデータバス、 16は信手線よりなるアドレスパスであり、アド レス切替え回路2は、アドレスパス16を介して システム制御回路1及びアドレスデコード回路5 に接続され、またDRAMアドレス信号線路11 及びロウアドレスカラムアドレス切替え信号線路 12を介してDRAM制御回路4に接続され、さらにアドレス線路6を介してDRAM3に接続されている。

17はチップセレクトはり線路であり、DRAM制御回路4は、デークバス15、RASは月線路13及びCASはり線路14を介してDRAM3に接続され、さらにチップセレクトは号線路17を介してアドレスデコード回路5に接続されている。

35はDRAM3より1回に出力されるシリアルデータに従い1ライン分の措置を行うCRTディスプレイである。

第2因は木実施例における電子機器のDRAM

ァ回路 2:1 及び下位 4 ビット読み出しラッチ 2 2 の制御を行うデータパス制御回路である。

26は上位4ビット書き込みパッファ回路18 に上位4ビット書き込み情界を与えるための上位 4 ピット書き込み借号線路、27は下位4ピット 書き込みパッファ何路19に下位4ピット書き込 み信号を与えるための下位4ピット書き込み信号 練路、28はDRAM3より出力されたデータを システム制物回路1に与える場合に下位4ピット 缺み出しパッファ 回路21及び下位4ピット読み 出しラッチに与えられるデーク読み出し信号が現 れるデータ読み出し間号練路、29はシステム制 **匈回路1の出力したアドレスに対応するDRAM** 3 の偶数番地と育数番地を切りえる場合にアドレ ステータ切替え信号の現れるアドレステータ切替 え信号執路、30はデータバス制御回路25に制 如のタイミングとなるラッチクロックを与えるラ ッチクロック情号線、31は下位4ピット読み出 しラッチにラッチ信号を与えるためのラッチ信号 練路、32はタイミングクロックの贝れるタイミ ングクロックは手線路、33は4本のは手線よりなるデークパス、34はDRAM要求は手線路である。

以上のように構成された木実施例の電子機器に ついて、以下その動作を説明する。

・ます、DRAM3よりデータを試み出す場合に ついで第3回のタイミングチャートを用いて説明 する。

システム制即回路 1 はアドレスパス 1 6 にアドレスデークを出力する。アドレスデコード回路 5 はこのアドレスデークをデコードし、DRAM制即回路 4 にチップセレクト信号を出力する。

またこの時、同時にシステム制列回路(はDR AM制例回路4に読み出しほ牙を出力している。

DRAM制御回路4の中のデータバス料御回路 25にチップセレクト信号と読み出し信号が入力 されると、DRAM要求信号がアクティブとなり、 タイミング回路23はタイミングクロックに同期 してRAS信号、ロウアドレスカラムアドレス切 替え信号、CAS信号を度次アクティブにしてい

次にデータ読み出しは引かアクティブとなり、 上位4ピット読み出しパッファ同路20及び下位 4ピット読み出しパッファ回路21に送出されて いたデータがそれぞれデータパス7、8よりシス テム制毎回路1に出力される。

戻み出しサイクルが終了すると、チップセレク ト信号、読み出し信号はディスエーブルされ、タ この時DRAMアドレス生成回路24から川カ

されるDRAMアドレス信号はノンアクティブとなっており、DRAM3上の偶数番地のみが選択される。

R A S 信 号、ロウアドレスカラムアドレス切替え信号、C A S 信 号が順次アクティブになっていく時点で、アドレス切替え回路 2 はシステム制御回路 1 が指定したアドレスを2回に分けて順次出力していく。

そしてタイミング回路23は、CASほ母をDRAM3の規定時間だけアクティブのほ母をデークロックのはいたをを受けている。データパス制御回路25はラッチはほデータルの4ビットでは、ア位4ビットでは、データに対していたでラッチでは4ビットに対応がデータルのようでは4ビットのよそリサイクルが実行される。

イミング回路23、DRAMアドレス生成回路2 4はリセットされる。

次に、DRAM3にデータを書き込む場合について第4図のタイミングチャートを用いて説明する。

データの読み出しの場合と同様に、システム制 即回路ははアドレスパス16にアドレスデータを 出力する。アドレスデコード回路5はこのアドレ スデータをデコードし、DRAM制和回路4にチャプセレクト信号を出力する。

またこの時、同時にシステム制御回路1はDR AM制御回路4に書き込み信号を出力している。

DRAM制御回路もの中のデータバス制御回路 25にチップセレクト信号と書き込み信号が入力 されると、DRAM要求信号がアクティブとなり、 タイミング回路23はタイミングクロックに同期 してRAS信号、ロウアドレスカラムアドレス切 せえ信号、CAS信号を順次アクティブにしてい

この時アドレス生成回路24から出力されるD

1:4:2

R A M アドレスは 手は ノンアクティブとなっており、 D R A M 3 上の 偶数 番地のみが選択される。

RAS信号、ロウアドレスカラムアドレス切替えば号、CASは号が順次アクティブになっていく呼点で、アドレス切替え回数2はシステム斜如回数1が指定したアドレスを2回に分けて順次出力していく。

そしてこの時データバス制御回路25は下位 4 ビット書き込みはりをアクティブにしており、データバス15に現れているデータは、下位 4 ビット書き込みバッファ回路19を介してデータバス8へ送出され、DRAM3の賃款番地に書き込まれ、1回目のメモリサイクルが終了する。

次にデータの書き込みが終わった後、タイミング回路23はCASは牙を一旦ディスエーブルする。

次にタイミング回路 2 3 はタイミングクロック に同期してアドレスデータ切せえ信号をアクティブにし、 D R A M アドレス生成回路 2 4 は D R A M アドレス信号をアクティブにする。このため、

70.

れぞれ700列×300行の記憶領域を持つDRAM2個よりなり、CRTディスプレイ35の好像度が640個素×400行であった場合でも、第5回に示すようにDRAM3の記憶領域を有効に使用することができる。

### 発明の効果

第1回は本発明の一実施例における電子機器の 回路プロック図、第2回は同要部回路プロック図、 第3回及び第4回は同クイミングチャートである。 DRAMは奇数を地のみが指定されることになる。タイミング回路23はCASほ牙を再びアクティブとし、データパス15に見れていたデータが上位4ピット書き込みパッファ回路18を介入のでデータパス7に送出されて、2回目のメモリサイクルが終了する。この2回目のメモリサイクルが終了する。この2回目のメモリカでは、読み出しの場合と同様DRAM3のなりでは、読み出しているため、アドレス切りましているため、アドレスのみを出力する。

書き込みサイクルが終了すると、チップセレクトは号、読み出し信号はディスエーブルされ、タイミング回路23、DRAMアドレス生成回路24はリセットされる。

以上規明したように、本実施例ではし記信領域にそれぞれ4ビットのデークを持つDRAM3を 調致器地と奇数器地に分けて、システム制御回路 1の1年はのアクセスで、DRAM3を2回アク セスすることにより、8ビットのデータを処理するよう構成しているため、例えばDRAM3がそ

 1 … システム制作回路
 2 … アドレス切替え回路

 3 … D R A M
 4 … D R A M 制 卯回路

 5 … アドレスデコーグ
 6 … アドレス信号練路

 7 、8 … データバス
 9 … 読み出し信号練品

10…套き込み借野練

11…DRAMアドレス信号練路

1 2 当中ヴァドレスカラムアドレス切替え信号線路

1 3 … R A S 信 号 練路 1 4 … C A S 信 号 練 路 1 5 … データパス 1 6 … アドレスパス

17…チップセレクト信号線路

18…上位4ビット書き込みパッファ回路

19…下位4ビット書き込みパッファ回路

20…上位4ビット段み出しパッファ回路

21…下位4ピット読み出しパッファ回路

22…下位4ビット段み出しラッチ回路

23…タイミング回路

2 4 ··· D R A M ア ド レ ス 生 成 回 路

25…データバス制抑回路

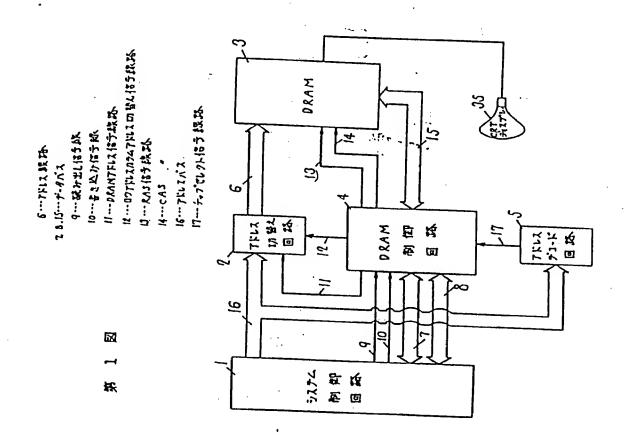
26…上位4ピット書き込み信号練路

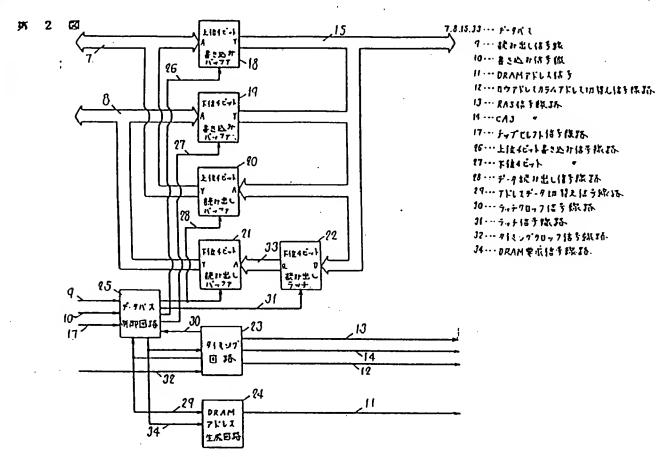
● 3 (分· | ) 3 (分· | ) 3 (初· | )

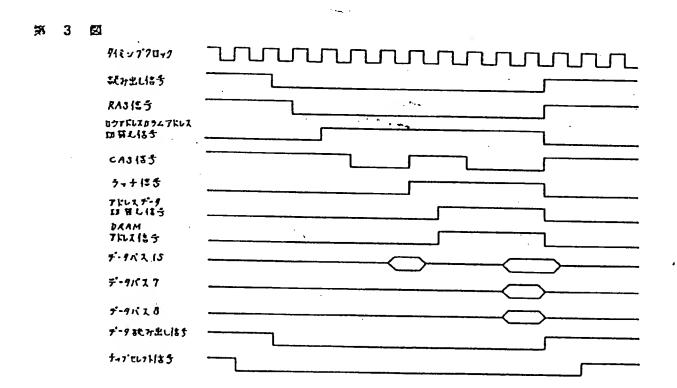
27…下位4ビット書き込み信号線数 28…データ読み出し信号線路 29…アドレスデータ切替え信号線路 30…ラッチクロック信号線 31…ラッチ 信号線路 32…タイミングクロック信号線路 33…データバス

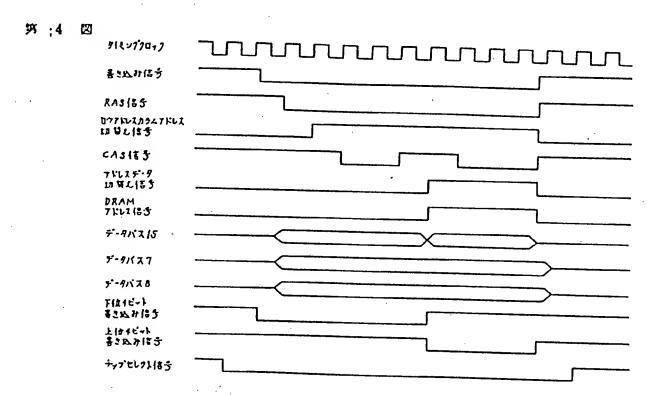
34…DRAM製水信号線路

代理人の氏名 弁理士 中尾敏切 ほか1名









Blog war